

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-151610

(P2002-151610A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)	
H 0 1 L 21/8247		H 0 1 L 27/10	4 8 1	5 F 0 8 3
27/10	4 8 1		4 3 4	5 F 1 0 1
27/115		29/78	3 7 1	
29/788				
29/792				

審査請求 未請求 請求項の数22 O L (全 10 頁)

(21) 出願番号 特願2001-303813(P2001-303813)

(22) 出願日 平成13年9月28日 (2001.9.28)

(31) 優先権主張番号 2 0 0 0 6 3 3 9 6

(32) 優先日 平成12年10月27日 (2000.10.27)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 朴 奎燦

大韓民国京畿道平澤市松炭地域獨谷洞464

番地ライフエービーティ 3 棟1106号

(72) 発明者 崔 正達

大韓民国京畿道水原市八達区英通洞 (番地なし) ▲清▼明タウン東新エービーティ

316棟1002号

(74) 代理人 100064908

弁理士 志賀 正武 (外1名)

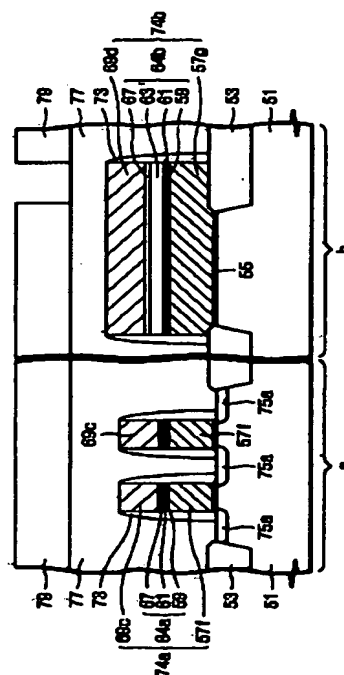
最終頁に続く

(54) 【発明の名称】 不揮発性メモリ素子及びその製造方法

(57) 【要約】

【課題】 不揮発性メモリ素子及びその製造方法を提供する。

【解決手段】 半導体基板に第1及び第2活性領域を形成することと、第1活性領域53aの上部を横切るワードラインパターン及び第2活性領域53bの上部を横切るゲートパターンを形成することを含む。ワードラインパターンは第1活性領域53aを覆う浮遊ゲートパターン57a、浮遊ゲートパターンを有するセルアレイ領域の全面に形成された第1ゲート層間絶縁膜64a及び第1ゲート層間絶縁膜64aの上に形成された第2導電膜69をパターンニングして形成する。又、ゲートパターンは周辺回路領域を覆うゲート電極パターン57b、ゲート電極パターンの上に形成され、第1ゲート層間絶縁膜64aより厚い第2ゲート層間絶縁膜64b、及び第2ゲート層間絶縁膜の上に形成された第2導電膜69をパターンニングして形成する。



1

【特許請求の範囲】

【請求項1】 半導体基板に形成され、第1及び第2活性領域を限定する素子分離膜と、

前記第1活性領域の上部を横切る制御ゲート電極と、

前記第1活性領域及び前記制御ゲートの電極の間に介在された浮遊ゲートと、

前記浮遊ゲート及び前記制御ゲート電極の間に介在された第1ゲート層間絶縁膜と、

前記第2活性領域の上部を横切るゲート電極と、

前記ゲート電極の上に形成され、前記ゲート電極と重畳されるダミーゲート電極と、

前記ゲート電極及び前記ダミーゲート電極の間に介在され、前記第1ゲート層間絶縁膜より厚い第2ゲート層間絶縁膜とを含むことを特徴とする不揮発性メモリ素子。

【請求項2】 前記第1ゲート層間絶縁膜は順次に積層された下部絶縁膜と、中間絶縁膜と、上部絶縁膜とを含むことを特徴とする請求項1に記載の不揮発性メモリ素子。

【請求項3】 前記第2ゲート層間絶縁膜は順次に積層された下部絶縁膜と、中間絶縁膜と、上部絶縁膜とを含むことを特徴とする請求項2に記載の不揮発性メモリ素子。

【請求項4】 前記下部絶縁膜は熱酸化膜又はCVD酸化膜であることを特徴とする請求項3に記載の不揮発性メモリ素子。

【請求項5】 前記中間絶縁膜はシリコン窒化膜であることを特徴とする請求項3に記載の不揮発性メモリ素子。

【請求項6】 前記追加絶縁膜はCVD酸化膜であることを特徴とする請求項3に記載の不揮発性メモリ素子。

【請求項7】 前記上部絶縁膜は熱酸化膜又はCVD酸化膜であることを特徴とする請求項3に記載の不揮発性メモリ素子。

【請求項8】 セルアレイ領域及び周辺回路領域を有する半導体基板を準備する段階と、

前記半導体基板に素子分離膜を形成して前記セルアレイ領域及び前記周辺回路領域に各々第1活性領域及び第2活性領域を限定する段階と、

前記第1及び第2活性領域の上にトンネル酸化膜を形成する段階と、

前記トンネル酸化膜が形成された結果物の全面に第1導電膜を形成する段階と、

前記第1導電膜をパターンニングして前記第1活性領域の上の前記トンネル酸化膜を覆う浮遊ゲートパターン及び前記周辺回路領域を覆うゲート電極パターンを形成する段階と、

前記浮遊ゲートパターンを含む前記セルアレイ領域の全面及び前記ゲート電極パターンの全面に各々第1ゲート層間絶縁膜及び前記第1ゲート層間絶縁膜より厚い第2ゲート層間絶縁膜を形成する段階と、

2

前記第1及び第2ゲート層間絶縁膜が形成された結果物の全面に第2導電膜を形成する段階とを含む特徴とする不揮発性メモリ素子の製造方法。

【請求項9】 前記第1及び第2ゲート層間絶縁膜を形成する段階は、

前記浮遊ゲートパターン及び前記ゲート電極パターンが形成された結果物の全面に下部絶縁膜を形成する段階と、

前記下部絶縁膜の上に中間絶縁膜を形成する段階と、

前記周辺回路領域の内部の前記中間絶縁膜の上に選択的に追加絶縁膜パターンを形成する段階と、

前記追加絶縁膜パターンが形成された結果物の全面に上部絶縁膜を形成する段階とを含むことを特徴とする請求項8に記載の不揮発性メモリ素子の製造方法。

【請求項10】 前記下部絶縁膜は熱酸化膜又はCVD酸化膜で形成することを特徴とする請求項9に記載の不揮発性メモリ素子の製造方法。

【請求項11】 前記中間絶縁膜はシリコン窒化膜で形成することを特徴とする請求項9に記載の不揮発性メモリ素子の製造方法。

【請求項12】 前記追加絶縁膜パターンを形成する段階は、前記中間絶縁膜の上に前記中間絶縁膜に対してエッチング選択比を有する追加絶縁膜を形成する段階と、

前記追加絶縁膜をパターンニングして前記セルアレイ領域の内部の前記中間絶縁膜を露出させる段階とを含むことを特徴とする請求項9に記載の不揮発性メモリ素子の製造方法。

【請求項13】 前記追加絶縁膜はCVD酸化膜で形成することを特徴とする請求項12に記載の不揮発性メモリ素子の製造方法。

【請求項14】 前記追加絶縁膜をパターンニングする工程は湿式エッチング工程を使用して実施することを特徴とする請求項12に記載の不揮発性メモリ素子の製造方法。

【請求項15】 前記上部絶縁膜は熱酸化膜又はCVD酸化膜で形成することを特徴とする請求項9に記載の不揮発性メモリ素子の製造方法。

【請求項16】 前記第2導電膜を形成する段階の後、

前記第2導電膜、前記第1及び第2ゲート層間絶縁膜、

前記浮遊ゲートパターン、及び前記ゲート電極パターンをパターンニングして前記第1活性領域の上部を横切るワードラインパターン及び前記第2活性領域の上部を横切るゲートパターンを形成する段階を含み、

前記ワードラインパターンは前記第1活性領域の上部を横切る制御ゲート電極、前記制御ゲート電極及び前記第1活性領域の間に介在された浮遊ゲート及び前記制御ゲート電極及び

前記浮遊ゲートの間に介在された第1ゲート層間絶縁膜を含み、

前記ゲートパターンは順次に積層されたゲート電極、第2ゲート層間絶縁膜及びダミーゲート電極を含むことを特徴とする請求項8に記載の不揮発性メモリ素

50

3

子の製造方法。

【請求項17】 相対的に集積度が高い高密度領域及び前記高密度領域より低集積度を有する低密度領域を備える半導体基板と、

前記高密度領域の内部に形成された第1活性領域と、前記低密度領域の内部に形成された第2活性領域と、前記第1及び第2活性領域の上に形成された第1導電膜と、

前記第1導電膜の上に形成された第2導電膜と、

前記第1及び第2導電膜の間に介在されたシリコン窒化膜と、

前記第2導電膜及び前記シリコン窒化膜の間に介在された複合絶縁膜を含み、前記第2活性領域の上に積層された前記複合絶縁膜の一部分は前記第1活性領域の上に積層された前記複合絶縁膜の他の部分より厚いことを特徴とする半導体素子。

【請求項18】 前記第1導電膜及び前記シリコン窒化膜の間に介在された下部絶縁膜を含み、前記下部絶縁膜は酸化膜を含むことを特徴とする請求項17に記載の半導体素子。

【請求項19】 前記複合絶縁膜はCVD工程による酸化膜を含むことを特徴とする請求項17に記載の半導体素子。

【請求項20】 前記複合絶縁膜は前記シリコン窒化膜より速いエッチング率を有する物質膜を含むことを特徴とする請求項17に記載の半導体素子。

【請求項21】 前記高密度領域はセルアレイ領域であり、前記低密度領域は周辺回路領域であることを特徴とする請求項17に記載の半導体素子。

【請求項22】 前記第1導電膜の側壁は前記半導体基板に対して斜めになったことを特徴とする請求項17に記載の半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子及びその製造方法に関し、さらには不揮発性メモリ素子及びその製造方法に関する。

【0002】

【従来の技術】不揮発性メモリ素子は電源が供給されなくても前の状態のデータを維持する特性を有する。従って、不揮発性メモリ素子は携帯用端末器又はメモリカード等に幅広く使用されている。

【0003】不揮発性メモリ素子は、複数のセルトランジスタが2次元的に配列されたセルアレイ領域とセルトランジスタを駆動させるための周辺回路領域を含む。通常のセルトランジスタは積層ゲート構造を有し、周辺回路のトランジスタ、特に、リード用トランジスタも積層ゲート構造を有する。

【0004】図1乃至図4は従来の不揮発性メモリ素子を製造する方法を説明するための断面図である。参照符

4

号a及びbで表示された部分は各々セルアレイ領域及び周辺回路領域を示す。特に、セルアレイ領域aは互いに並行した制御ゲート電極の間の領域を示す断面図であり、周辺回路領域bは周辺回路トランジスタのゲート電極を横切る方向に沿う断面図である。

【0005】図1を参照すると、半導体基板1の所定領域に素子分離膜3を形成して活性領域を限定する。活性領域の上に100Å以下の薄い厚さのトンネル酸化膜5を形成する。トンネル酸化膜5が形成された結果物の全面に第1導電膜を形成し、第1導電膜をパターニングしてセルアレイ領域aの活性領域を覆う浮遊ゲートパターン7a及び周辺回路領域bを覆うゲート電極パターン7bを形成する。浮遊ゲートパターン7aは図1に示すようにセルアレイ領域aの内部の活性領域だけを覆い、ゲート電極パターン7bは周辺回路領域bの全体を覆う。

【0006】浮遊ゲートパターン7a及びゲート電極パターン7bが形成された結果物の全面にゲート層間絶縁膜9を形成する。ここで、浮遊ゲートパターン7aの側壁の上に形成されたゲート層間絶縁膜9の第1垂直厚さT1は図1に示すように周辺回路領域bに形成されたゲート層間絶縁膜9の第2垂直厚さT2に比べて非常に厚い。

【0007】図2を参照すると、ゲート層間絶縁膜9が形成された結果物の全面に第2導電膜11を形成する。第2導電膜11の上にフォトレジスタパターン13を形成する。フォトレジスタパターン13はセルアレイ領域a及び周辺回路領域bの内部に各々ワードラインパターン及びゲートパターンを限定するために形成する。

【0008】図3を参照すると、フォトレジスタパターン13をエッチングマスクで使用して第2導電膜11及びゲート層間絶縁膜9を連続的にエッチングしてセルアレイ領域a及び周辺回路領域bの内部に各々制御ゲート電極(図示しない)及びダミーゲート電極11dを形成する。この時、エッチング工程はセルアレイ領域aの内部の浮遊ゲートパターン7aの側壁に形成されたゲート層間絶縁膜9が完全に除去される時まで実施する。これによって、周辺回路領域bの内部のゲート電極パターン7bは過エッチングされて一定深さDだけリセスされたゲート電極パターン7b'が形成される。さらに、周辺回路領域bはセルアレイ領域aに比べてパターン密度が低いので、ローディング効果によって周辺回路領域bでのエッチング率はセルアレイ領域aでのエッチング率に比べて速い。結果的に、リセスされたゲート電極パターン7b'の厚さはセルアレイ領域aに残存する浮遊ゲートパターン7aの厚さより薄くなることもできる。

【0009】図4を参照すると、フォトレジスタパターン13をエッチングマスクで使用して浮遊ゲートパターン7a及びリセスされたゲート電極パターン7b'をエッチングしてセルアレイ領域a及び周辺回路領域bに各々ワードラインパターン(図示しない)及びゲートパ

5

ーンを形成する。ゲートパターンは順次に積層されたゲート電極7g、ゲート層間絶縁膜9及びダミーゲート電極11dで構成される。この時、図4に示すようにゲート電極11dの両側に位置する半導体基板1の表面Aは過エッチングされる。結果的に、ゲート電極11dは両側に位置する半導体基板1にエッチング損傷が与えられる。このようなエッチング損傷は半導体基板の結晶欠陥を誘発させて後続工程で形成されるソース/ドレイン領域の接合漏洩電流特性を非常に低下させる。

【0010】

【発明が解決しようとする課題】本発明は、ワードラインパターン及びゲートパターンを形成する間、周辺回路領域の半導体基板に与えられるエッチング損傷を防止するために、周辺回路領域のゲート層間絶縁膜がセルアレイ領域の層間絶縁膜より厚い不揮発性メモリ素子を提供することを目的とする。

【0011】本発明は、周辺回路領域にセルアレイ領域のゲート層間絶縁膜より厚いゲート層間絶縁膜を形成することによって、ワードラインパターン及びゲートパターンを形成する間、周辺回路の半導体基板に与えられるエッチング損傷を最小化できる不揮発性メモリ素子の製造方法を提供することを他の目的とする。

【0012】

【課題を解決するための手段】前述の目的を達成するために、本発明は周辺回路領域のゲート層間絶縁膜がセルアレイ領域のゲート層間絶縁膜より厚い不揮発性メモリ素子を提供する。この不揮発性メモリ素子は半導体基板に形成され、第1及び第2活性領域を限定する素子分離膜、第1活性領域の上部を横切るワードラインパターン及び第2活性領域の上部を横切るゲートパターンを含む。ワードラインパターンは第1活性領域の上部を横切る制御ゲート電極と、制御ゲート電極及び第1活性領域の間に介在された浮遊ゲートと、浮遊ゲート及び制御ゲートの電極の間に介在された第1ゲート層間絶縁膜とを含む。又、ゲートパターンは順次に積層されたゲート電極と、第2ゲート層間絶縁膜と、ダミーゲート電極とを含む。ここで、第2ゲート層間絶縁膜は第1ゲート層間絶縁膜より厚い。

【0013】望ましくは、第1ゲート層間絶縁膜は順次に積層された第1下部絶縁膜と、第1中間絶縁膜と、第1上部絶縁膜とを含み、第2ゲート層間絶縁膜は順次に積層された第2下部絶縁膜と、第2中間絶縁膜と、追加絶縁膜と、第2上部絶縁膜とを含む。第1下部絶縁膜、第1中間絶縁膜及び第1上部絶縁膜は各々第2下部絶縁膜、第2中間絶縁膜及び第2上部絶縁膜と同一の物質膜である。

【0014】第1及び第2下部絶縁膜は熱酸化膜又はCVD酸化膜であることが望ましく、第1及び第2中間絶縁膜はシリコン窒化膜であることが望ましい。又、追加絶縁膜は第1及び第2中間絶縁膜に対してエッチング選

6

択比を有する物質膜、例えば、CVD酸化膜であることが望ましい。

【0015】これに加えて、第1及び第2上部絶縁膜は熱酸化膜又はCVD酸化膜であることが望ましい。

【0016】前述した他の目的を達成するために、本発明は不揮発性メモリ素子の製造方法を提供する。この方法はセルアレイ領域及び周辺回路領域を有する半導体基板に素子分離膜を形成してセルアレイ領域及び周辺回路領域に各々第1及び第2活性領域を限定し、第1及び第2活性領域の上にトンネル酸化膜を形成することを含む。トンネル酸化膜が形成された結果物の全面に第1導電膜を形成し、第1導電膜をパターニングして第1活性領域を覆う浮遊ゲートパターン及び周辺回路領域を覆うゲート電極パターンを形成する。浮遊ゲートパターンを有するセルアレイ領域の全面及びゲート電極パターンの全面に各々第1ゲート層間絶縁膜及び第1ゲート層間絶縁膜より厚い第2ゲート層間絶縁膜を形成する。第1及び第2ゲート層間絶縁膜が形成された結果物の全面に第2導電膜を形成する。

【0017】第1ゲート層間絶縁膜は第1下部絶縁膜、第1層間絶縁膜及び第1上部絶縁膜を積層させて形成することが望ましい。又、第2ゲート層間絶縁膜は第2下部絶縁膜、第2中間絶縁膜、追加絶縁膜及び第2上部絶縁膜を順次に積層させて形成することが望ましい。ここで、第1及び第2下部絶縁膜は同一の工程段階で形成され、第1及び第2中間絶縁膜も同一の工程段階で形成される。これと同様に、第1及び第2上部絶縁膜は同一の工程段階で形成される。

【0018】詳しくは、第1及び第2ゲート層間絶縁膜を形成する方法は浮遊ゲートパターン及びゲート電極パターンが形成された結果物の全面に下部絶縁膜を形成することを含む。下部絶縁膜の上に中間絶縁膜を形成し、周辺回路領域の内部の中間絶縁膜の上に選択的に追加絶縁膜パターンを形成する。追加絶縁膜パターンは中間絶縁膜に対してエッチング選択比を有する物質膜で形成することが望ましい。次に、追加絶縁膜パターンが形成された結果物の全面に上部絶縁膜を形成する。

【0019】

【発明の実施の形態】以下、添付した図を参照して、本発明の望ましい実施形態を詳細に説明する。しかし、本発明はここで説明される実施形態に限られなく、他の形態に具体化されることもできる。ここに紹介される実施形態は開示された内容が徹底し、完全になるように、そして、当業者に本発明の思想が十分に伝達されるようにするために提供される。図において、層及び領域の厚さは明確性のために誇張されたものである。又、層が他の層又は基板の“上”にある場合、これは他の層又は基板の上に直接に形成されることもでき、又は、それらの間に第3の層が介在されることもできる。明細書におい

て、同一の参照番号は同一の構成要素を示す。又、図に

7

において、参照符号“a”及び“b”で表示した部分は各々セルアレイ領域及び周辺回路領域を示す。特に、周辺回路領域bは不揮発性メモリ素子の低電圧トランジスタ、即ち、リード用トランジスタが形成される領域を示す。

【0020】図5は一般的なNAND型フラッシュメモリ素子の平面図である。

【0021】図5を参照すると、セルアレイ領域aの内部に並行した第1活性領域53aが配置され、周辺回路領域bの内部に第2活性領域53bが配置される。第1及び第2活性領域53a、53bは半導体基板の所定領域に形成される素子分離膜（図示しない）によって限定される。複数の並行したワードラインパターンが第1活性領域53aの上部を横切り、ゲートパターンは第2活性領域53bの上部を横切る。

【0022】各ワードラインパターンは、第1活性領域53aの上部を横切る制御ゲート電極69cと、制御ゲート電極69c及び第1活性領域53aの間に介在された浮遊ゲート57fと、制御ゲート電極69c及び浮遊ゲート57fの間に介在された第1ゲート層間絶縁膜（図示しない）を含む。又、ゲートパターンは順次に積層されたゲート電極57gと、第1ゲート層間絶縁膜より厚い第2層間絶縁膜（図示しない）と、ダミーゲート電極69dを含む。結果的に、ゲート電極57gはダミーゲート電極69dと重畳される。望ましくは、図5に示すように、ダミーゲート電極69dはゲート電極57gの一部分と重畳される。従って、ダミーゲート電極69dによって覆われるゲート電極57gの所定領域をコンタクトホール83を使用して露出させることが容易である。

【0023】浮遊ゲート57fはワードラインパターンを形成する間、第1活性領域53aを覆う浮遊ゲートパターン57aを自己整合方式を使用してエッチングして形成される。

【0024】第1ゲート層間絶縁膜は順次に積層された下部絶縁膜、中間絶縁膜及び上部絶縁膜を含み、第2ゲート層間絶縁膜は順次に積層された下部絶縁膜、中間絶縁膜、追加絶縁膜及び上部絶縁膜を含む。従って、第2ゲート層間絶縁膜は第1層間絶縁膜に比べて追加絶縁膜の厚さだけ厚い。下部絶縁膜は熱酸化膜であることが望ましく、中間絶縁膜はシリコン窒化膜であることが望ましい。又、追加酸化膜は中間絶縁膜に対してエッチング選択比を有する物質膜、例えば、CVD酸化膜であることが望ましく、上部絶縁膜は熱酸化膜又はCVD酸化膜であることが望ましい。

【0025】図6、図8、図10、図12及び図14は、図5のI-I'線に沿う断面図であり、図7、図9、図11、図13及び図15は図5のII-II'線に沿う断面図である。

【0026】図6及び図7を参照すると、半導体基板5

8

1の所定領域に素子分離膜53を形成してセルアレイ領域a及び周辺回路領域bに各々第1活性領域（図5の53a）及び第2活性領域（図5の53b）を限定する。素子分離膜は通常の素子分離工程、例えば、LOCOS（local oxidation of silicon）工程又はトレンチ素子分離工程を使用して形成できる。第1及び第2活性領域の上にトンネル酸化膜55を形成する。トンネル酸化膜55は100Å以下の薄い厚さの熱酸化膜で形成する。

【0027】トンネル酸化膜が形成された結果物の全面に第1導電膜、例えば、ドーピングされたポリシリコン膜を形成する。第1導電膜をパターニングして第1活性領域を覆う浮遊ゲートパターン57a及び周辺回路領域bの全面を覆うゲート電極パターン57bを形成する。結果的に、図6に示すように、セルアレイ領域aの内部の素子分離膜53が露出される。ここで、第1導電膜をパターニングする工程は浮遊ゲートパターン57bの側壁が図6に示すようにプラスの傾斜を有するように実施することが望ましい。これは、後続工程で第2導電膜を形成する間、浮遊ゲートパターン57aの間にギャップ領域の内部にボイドが形成されることを防止するためである。

【0028】図8及び図9を参照すると、浮遊ゲートパターン57a及びゲート電極パターン57bが形成された結果物の全面に予備ゲート層間絶縁膜64を形成する。予備ゲート層間絶縁膜64は下部絶縁膜59、中間絶縁膜61及び追加絶縁膜63を順次に積層させて形成する。ここで、下部絶縁膜59は熱酸化膜又はCVD酸化膜で形成することが望ましく、中間絶縁膜61はシリコン窒化膜で形成することが望ましい。又、追加絶縁膜63は中間絶縁膜61に対してエッチング選択比を有する物質膜、例えば、CVD酸化膜で形成することが望ましい。

【0029】追加絶縁膜63をCVD酸化膜で形成する場合、セルアレイ領域aに形成されるCVD酸化膜は周辺回路領域bに形成されるCVD酸化膜に比べて薄く形成され得る。これは、パターン密度の差に従って物質膜の蒸着速度が異なるCVD工程の特性のためである。結果的に、周辺回路領域bに形成された予備ゲート層間絶縁膜64はセルアレイ領域aに形成される予備ゲート層間絶縁膜64より厚いことができる。これによって、後続工程で予備ゲート層間絶縁膜64が形成された結果物の全面に第2導電膜を直接に形成することもできる。しかし、セルアレイ領域aに形成された予備ゲート層間絶縁膜64及び周辺回路領域bに形成された予備ゲート層間絶縁膜64の間の厚さの差をさらに増加させる必要がある場合、予備ゲート層間絶縁膜64の上に周辺回路領域bを覆う第1フォトレジスタパターン65を形成する。

【0030】図10及び図11を参照すると、第1フォトレジスタパターン65をエッチングマスクを使用して

追加絶縁膜63を選択的にエッチングしてセルアレイ領域aの内部の中間絶縁膜61を露出させる追加絶縁膜パターン63'を形成する。この時、追加絶縁膜63は湿式エッチング工程を使用してエッチングすることが望ましい。次に、第1フォトリジスタパターン65を除去した後、その結果物の全面に上部絶縁膜67、例えば、CVD酸化膜又は熱酸化膜を形成する。これによって、セルアレイ領域aの内部に第1ゲート層間絶縁膜64aが形成され、周辺回路領域bに第1ゲート層間絶縁膜64aより厚い第2ゲート層間絶縁膜64bが形成される。

【0031】第1ゲート層間絶縁膜64aは順次に積層された下部絶縁膜59、中間絶縁膜61及び上部絶縁膜67を含み、第2ゲート層間絶縁膜64bは順次に積層された下部絶縁膜59、中間絶縁膜61、追加絶縁膜パターン63'及び上部絶縁膜67を含む。結果的に、浮遊ゲートパターン57aの斜めになった側壁の上に形成された第1ゲート層間絶縁膜64aの第3垂直厚さT3及びゲート電極パターン57bの上に形成された第2ゲート層間絶縁膜64bの第4垂直厚さT4の間の差を従来技術に比べて非常に減少させ得る。

【0032】上部絶縁膜67が形成された結果物の全面に第2導電膜69を形成する。第2導電膜69はドーピングされたポリシリコン膜又は耐火性金属膜を含むポリサイド膜で形成できる。次に、第2導電膜69の上に第2フォトリジスタパターン71を形成する。第2フォトリジスタパターン71は第1活性領域及び第2活性領域の上部を横切る。

【0033】図12及び図13を参照すると、第2フォトリジスタパターン71をエッチングマスクを使用して第2導電膜69、第1及び第2ゲート層間絶縁膜64a、64b及び浮遊ゲートパターン57a及びゲート電極パターン57bを連続的にエッチングする。その結果、セルアレイ領域a及び周辺回路領域bの内部に各々第1活性領域の上部を横切る複数の並行したワードラインパターン74a及び第2活性領域の上部を横切るゲートパターン74bが形成される。この時、図10及び図11に示すように、第3垂直厚さT3及び第4垂直厚さT4の間の差が従来技術に比べて非常に減少されるので、ゲートパターン74bの両側の半導体基板51にエッチング損傷が与えられることを防止できる。

【0034】ワードラインパターン74Vaの各々は順次に積層された浮遊ゲート57f、第1ゲート層間絶縁膜64a及び制御ゲート電極69cを含む。ここで、浮遊ゲート57fは制御ゲート電極69c及び第1活性領域が重畳される部分だけに形成される。又、ゲートパターン74bは順次に積層されたゲート電極57g、第2ゲート層間絶縁膜64b及びダミーゲート電極69dを含む。次に、第2フォトリジスタパターン71を除去した後、通常の技術を使用してワードラインパターン74a及びゲートパターン74bの側壁にスペーサ73を形

成する。

【0035】ワードラインパターン74a、ゲートパターン74b、素子分離膜53及びスペーサ73をイオン注入マスクで使用して第1及び第2活性領域に不純物を注入してソース/ドレイン領域75a、75bを形成する。スペーサ73を形成する前、第2活性領域だけに選択的に 1×10^{12} 乃至 1×10^{14} ion atoms/cm²の低ドーズで不純物を注入して周辺回路領域bの内部にLDD型のソース/ドレイン領域75bを形成することもできる。次に、ソース/ドレイン領域75a、75bが形成された結果物の全面に第1層間絶縁膜77を形成する。第1層間絶縁膜77の上に第3フォトリジスタパターン79を形成してダミーゲート電極69dの一部分をエッチングするための領域を限定する。

【0036】図14及び図15を参照すると、第3フォトリジスタパターン79をエッチングマスクを使用して第1層間絶縁膜77、ダミーゲート電極69d及び第2ゲート層間絶縁膜64bを連続的にエッチングしてゲート電極57gの一部分を露出させる。次に、第3フォトリジスタパターンを除去した後、その結果物の全面に第2層間絶縁膜81を形成する。第2層間絶縁膜81及び第1層間絶縁膜77をパターニングしてゲート電極57gの一部分を露出させるコンタクトホール83を形成する。この時、図示しないが、制御ゲート電極69cの所定領域を露出させるコンタクトホールが形成されることもできる。

【0037】

【発明の効果】本発明によると、セルアレイ領域の内部の浮遊ゲートパターンの側壁に形成される第1ゲート層間絶縁膜の垂直厚さ及び周辺回路領域の内部のゲート電極パターンの上に形成される第2ゲート層間絶縁膜の垂直厚さの間の差を最小化させ得る。これによって、ワードラインパターン及びゲートパターンを形成するためのエッチング工程を実施する間、周辺回路領域の内部の活性領域にエッチング損傷が与えられることを防止できる。その結果、周辺回路領域に形成されるソース/ドレイン領域の接合漏洩電流の特性を改善できる。

【図面の簡単な説明】

【図1】 従来の不揮発性メモリ素子の製造方法を説明するために断面図である。

【図2】 従来の不揮発性メモリ素子の製造方法を説明するために断面図である。

【図3】 従来の不揮発性メモリ素子の製造方法を説明するために断面図である。

【図4】 従来の不揮発性メモリ素子の製造方法を説明するために断面図である。

【図5】 一般的な不揮発性メモリ素子の平面図である。

【図6】 図5のI-I'線に沿って本発明による不揮発性メモリ素子の製造方法を説明するための断面図であ

11

る。

【図7】 図5のII-II'線に沿って本発明による不揮発性メモリ素子の製造方法を説明するための断面図である。

【図8】 図5のI-I'線に沿って本発明による不揮発性メモリ素子の製造方法を説明するための断面図である。

【図9】 図5のII-II'線に沿って本発明による不揮発性メモリ素子の製造方法を説明するための断面図である。

【図10】 図5のI-I'線に沿って本発明による不揮発性メモリ素子の製造方法を説明するための断面図である。

【図11】 図5のII-II'線に沿って本発明による不揮発性メモリ素子の製造方法を説明するための断面図である。

【図12】 図5のI-I'線に沿って本発明による不揮発性メモリ素子の製造方法を説明するための断面図である。

【図13】 図5のII-II'線に沿って本発明による不揮発性メモリ素子の製造方法を説明するための断面図である。

【図14】 図5のI-I'線に沿って本発明による不揮発性メモリ素子の製造方法を説明するための断面図である。

【図15】 図5のII-II'線に沿って本発明による不揮発性メモリ素子の製造方法を説明するための断面図である。

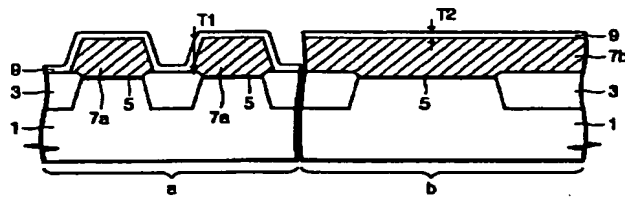
*

12

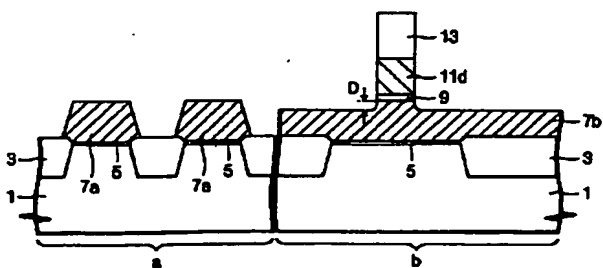
*【符号の説明】

- 53 素子分離膜
- 53 a 第1活性領域
- 53 b 第2活性領域
- 55 トンネル酸化膜
- 57 a 浮遊ゲートパターン
- 57 b ゲート電極パターン
- 57 f 浮遊ゲート
- 57 g ゲート電極
- 10 64 層間絶縁膜
- 59 下部絶縁膜
- 61 中間絶縁膜
- 63 追加絶縁膜
- 64 予備ゲート層間絶縁膜
- 64 a 第1ゲート層間絶縁膜
- 64 b 第2ゲート層間絶縁膜
- 67 上部絶縁膜
- 69 第2導電膜
- 69 c 制御ゲート電極
- 20 69 d グミーゲート電極
- 73 スペース
- 74 a ワードラインパターン
- 74 b ゲートパターン
- 75 a, 75 b ソース/ドレイン領域
- 77 第1層間絶縁膜
- 81 第2層間絶縁膜
- 83 コンタクトホール

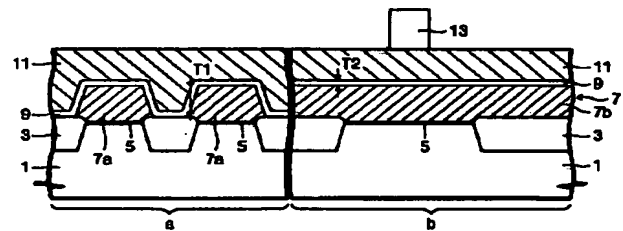
【図1】



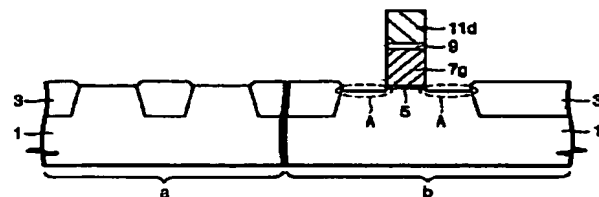
【図3】



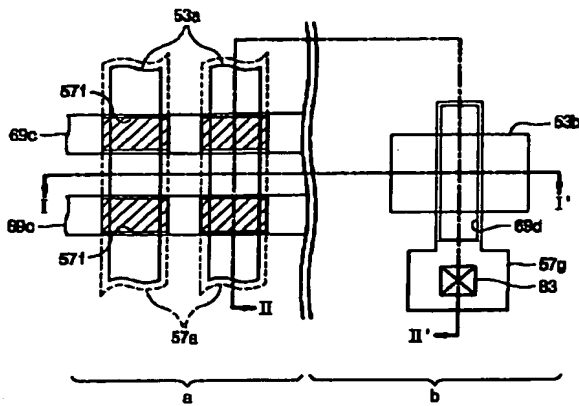
【図2】



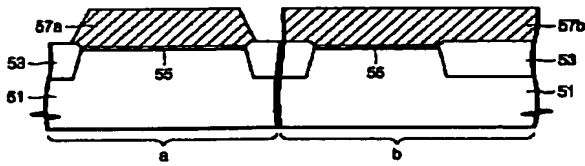
【図4】



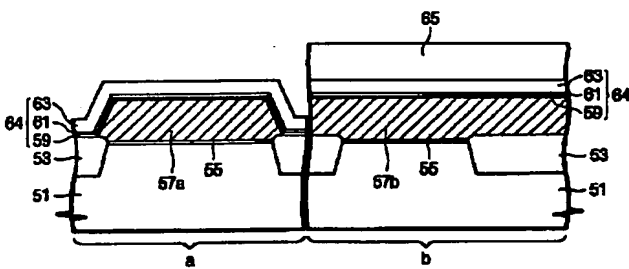
【図5】



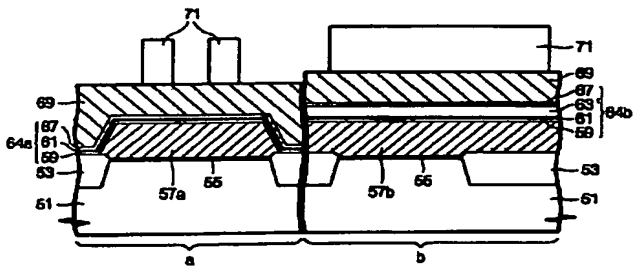
【図7】



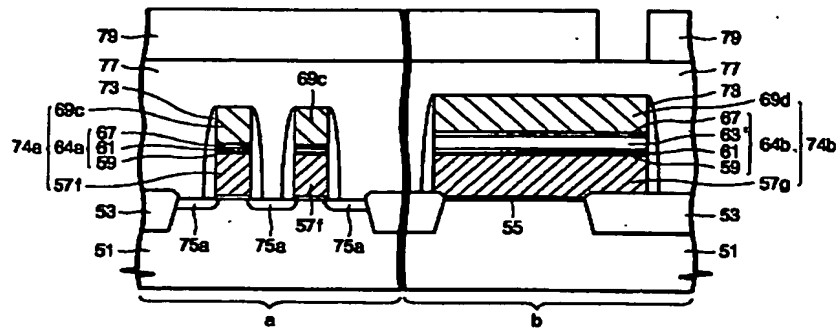
【図9】



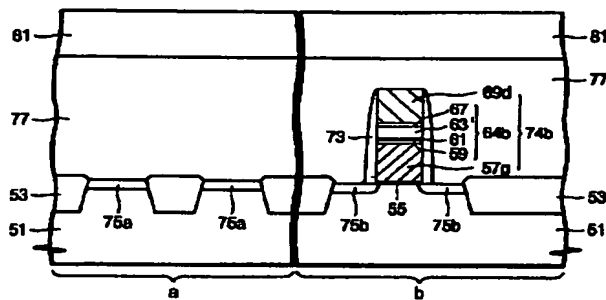
【図11】



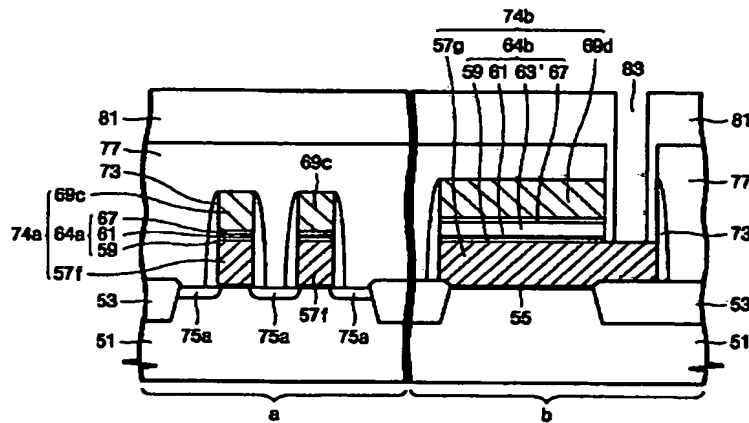
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 任 庸植

大韓民国京畿道水原市勸善區錦曲洞（番地
なし）エルジーヴィレッジ306棟501号

F ターム (参考) 5F083 EP23 EP55 EP56 EP63 EP68
EP76 ER22 JA04 JA35 JA39
JA53 MA01 MA15 PR43 PR44
PR45 PR53 PR54 PR55 ZA05
ZA07 ZA28
5F101 BA29 BA36 BB05 BD02 BD07
BD34 BD35 BD37 BH21